

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-52900

(43)公開日 平成5年(1993)3月2日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/26

G 8411-2G

H 0 1 L 21/66

Z 7013-4M

29/788

29/792

8225-4M

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-215529

(22)出願日

平成3年(1991)8月27日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 金丸 健次

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 小柳 一敏

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 沼崎 浩二

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

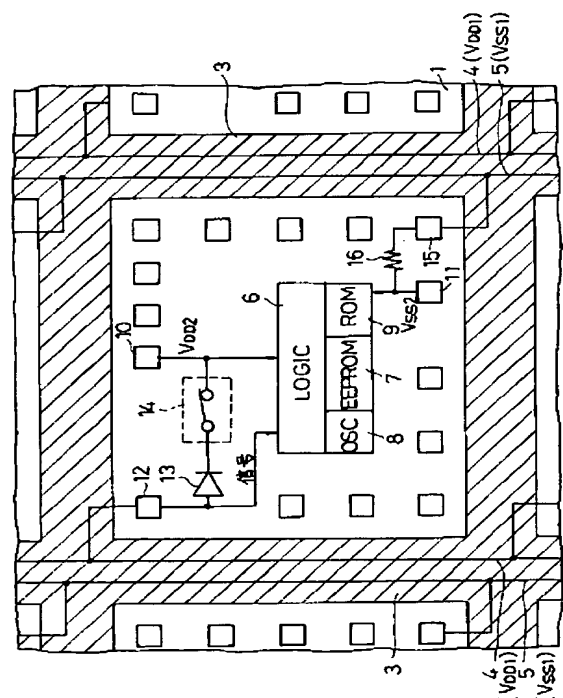
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 半導体ウェハ

(57)【要約】

【目的】 ウェハ状態で確実かつ容易に各ICについてテストを行うことができる半導体ウェハを提供することにある。

【構成】 半導体ウェハ1内には集積回路が多数配置されるとともに、この集積回路毎にEEPROM7が配置されている。又、集積回路毎にロジック回路6が配置され、同ロジック回路6にて集積回路を動作させるに必要な信号を発生することができる。さらに、半導体ウェハのスクライブライン3上にはウェハ状態で全ての集積回路に電源を供給するテスト用電源ライン4、5が設けられている。そして、半導体ウェハ状態でテスト用電源ライン4、5による電圧印加によりロジック回路6を用いて各集積回路を動作させ、その動作結果に応じたデータを当該集積回路に対応するEEPROM7に書き込み、このEEPROM7に書き込まれたデータによりその集積回路の良否を判断する。



## 【特許請求の範囲】

【請求項1】 半導体ウェハ内に多数配置された各集積回路毎のEEPROMと、前記集積回路を動作させるに必要な信号を発生する、各集積回路毎の制御回路と、半導体ウェハ状態で全ての集積回路に電源を供給する電源ラインとを備え、半導体ウェハ状態で前記電源ラインによる電圧印加により前記制御回路を用いて各集積回路を動作させ、その動作結果に応じたデータを当該集積回路に対応する前記EEPROMに書き込み、このEEPROMに書き込まれたデータによりその集積回路の良否を判断するようにしたことを特徴とする半導体ウェハ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、ICの検査を容易に行うための半導体ウェハに関するものである。

## 【0002】

【従来の技術】ICは、通常モールド等に組み付けた後に高温バーンインを実施し、その後テスト等を用いて電気検査を行い、選別している。そのためソケット等を実装するボードが必要であり、同時にバーンインできるIC数も少ないという問題がある。この問題を解決するために、特開昭62-55944号公報には、ウェハ状態でバーンインできる方法が開示されている。つまり、各チップにはヒューズ手段を設け、ウェハ上の全てのチップに対し機能テストを行い、不良の場合にはヒューズ手段を溶断して、この溶断の有無を調べることで半導体チップが良品か不良品かを識別するものである。

## 【0003】

【発明が解決しようとする課題】しかし、この方法では、ヒューズ溶断の際には外部から溶断のための電気信号を加える必要があり煩雑であった。又、ヒューズ手段を溶断するために該当するチップを選択するための信号線を正確に選択しなければならず、確実性に欠けていた。

【0004】この発明の目的は、ウェハ状態で確実かつ容易に各ICについてテストを行うことができる半導体ウェハを提供することにある。

## 【0005】

【課題を解決するための手段】この発明は、半導体ウェハ内に多数配置された各集積回路毎のEEPROMと、前記集積回路を動作させるに必要な信号を発生する、各集積回路毎の制御回路と、半導体ウェハ状態で全ての集積回路に電源を供給する電源ラインとを備え、半導体ウェハ状態で前記電源ラインによる電圧印加により前記制御回路を用いて各集積回路を動作させ、その動作結果に応じたデータを当該集積回路に対応する前記EEPROMに書き込み、このEEPROMに書き込まれたデータによりその集積回路の良否を判断するようにした半導体ウェハをその要旨とする。

## 【0006】

【作用】半導体ウェハ状態で電源ラインによる電圧印加により制御回路を用いて各集積回路が動作して、その動作結果に応じたデータが当該集積回路に対応するEEPROMに書き込まれ、このEEPROMに書き込まれたデータによりその集積回路の良否が判断される。

## 【0007】

【実施例】以下、この発明を具体化した一実施例を図面に従って説明する。図1には半導体ウェハ1を上(素子が形成されている側)から見た図である。半導体ウェハ1には、図2に示すように、多数の集積回路(IC)2が形成されており、裁断することにより集積回路を有するチップとなる。そして、図1においては、そのうちの一部分を示す。又、本実施例の集積回路2は、車両用オドメータ(走行距離積算計)に使用されるものであって、走行に伴うパルス信号を入力してそのパルス数のカウント値の制御を行い表示器への表示信号を生成するものである。このオドメータ用集積回路2は冗長機能を有し、データのチェックを行いつつカウント動作を行うようになっている。

【0008】図1に示すように、各チップに区画するためのスクライブライン3上には、2本のテスト用電源ライン4、5が形成されている。テスト用電源ライン4には電源電圧 $V_{DD1}$ が印加されるとともに、テスト用電源ライン5には電源電圧 $V_{SS1}$ が印加されるようになっている。

【0009】各ICチップ形成領域においては、ロジック回路6と、EEPROM7と、発振器8と、ROM9とが形成されている。ロジック回路6は走行距離積算処理を行うとともに、集積回路を動作させるに必要な信号を発生するためのテスト処理を行うようになっている。つまり、ロジック回路6の一部にて、集積回路を動作させるに必要な信号を発生するための制御回路が構成されている。又、ROM9にはバーンイン中の制御プログラムが格納されている。さらに、各ICチップ形成領域においては、電源パッド10、11が形成され、パッド10には電源電圧 $V_{DD2}$ が印加されるとともに、パッド11には電源電圧 $V_{SS2}$ が印加される。

【0010】各ICチップ形成領域においては、テスト用電源パッド12が形成されている。このテスト用電源パッド12は、テスト用電源ライン4と接続されるとともにダイオード13とスイッチ14の直列回路を介して電源パッド10と集積回路との電源ラインに接続されている。スイッチ14はレーザでオープンすることができるものである。又、各ICチップ形成領域にはテスト用電源パッド15が形成されている。テスト用電源パッド15はテスト用電源ライン5と接続されるとともに、抵抗16を介して電源パッド11と集積回路との電源ラインに接続されている。このように、全ての集積回路の電源をウェハ状態で相互に接続し、ウェハ端面から電源

( $V_{DD1}$ ,  $V_{SS1}$ ) を供給できるようになっている。

【0011】次に、上記のように構成された半導体ウェハの各チップの検査手順を説明する。まず、ウェハ状態において電源パッド10に電極を当て電源電圧 $V_{DD2}$ を供給するとともに、テスト用電源ライン5からの電源電圧 $V_{SS1}$ を供給して、電気検査を行う。そして、各ICチップの良否を判定し、集積回路の内部で電源のショートがあった場合（不良であった場合）にはスイッチ14をレーザによりオープンとする。

【0012】そして、全てのチップの電気検査を終えたならば、次に、ウェハ状態においてバーンインを行なう。これは、テスト用電源ライン4による電源電圧 $V_{DD1}$ 、及び、テスト用電源ライン5による電源電圧 $V_{SS1}$ を供給して、ダイナミックバーンインを行うものである。電源が印加されると直ちに発振器8がクロックを発生し、ロジック回路6の一部をなすテスト用ロジック回路が電源電圧 $V_{DD1}$ より電源が印加されたことを認識してバーンイン動作を開始する。そして、ロジック回路6の一部をなすテスト用ロジック回路がROM9に記憶されたテストパターンに基づいて回路動作を行なうに必要な信号を発生して、回路動作の結果得られる値をEEPROM7に書き込む。即ち、回路動作が正常に行なわれた場合には（回路に不具合が無ければ）、期待する値がEEPROM7に書き込まれることになる。このEEPROMの値は、ICチップを自己診断した結果として利用することもできる。

【0013】このバーンインの際にスイッチ14がオープンとなっていると、テスト用電源ライン4による電源電圧 $V_{DD1}$ が供給されず、EEPROM7には期待する値が書き込まれない。

【0014】尚、バーンインは、高温通電等により集積回路にストレスを加えスクリーニングするもので、簡単な電気検査だけでは不良とできないチップを確実に選別するものである。特に、不揮発性メモリでは書き換えによるスクリーニングが必要となる。

【0015】このようにしてバーンインが終了したならば、次に、個々のチップの電気検査を行なう。これは、電源パッド10による電源電圧 $V_{DD2}$ 、及び電源パッド11による電源電圧 $V_{SS2}$ を供給して、EEPROM7のデータを読み出すものである。そして、そのデータが期待値と一致すればそのICチップは良品である。

【0016】尚、EEPROM7のビット数は多い程詳細な結果を判別でき、同時に複雑な動作をさせることができる。このように本実施例では、半導体ウェハ1内に多数配置された各集積回路毎のEEPROM7と、各集積回路を動作させるに必要な信号を発生する、集積回路

毎のロジック回路6（制御回路）と、半導体ウェハ状態で全ての集積回路に電源を供給するテスト用電源ライン4、5とを備え、半導体ウェハ状態でテスト用電源ライン4、5による電圧印加によりロジック回路6（制御回路）を用いて各集積回路を動作させ、その動作結果に応じたデータを当該集積回路に対応するEEPROM7に書き込み、このEEPROM7に書き込まれたデータによりその集積回路の良否を判断するようにした。その結果、従来方式であるヒューズを用いた場合にはヒューズ溶断のための電気信号を加える必要があり煩雑であり、又、ヒューズ手段を溶断するために該当するチップを選択するための信号線を正確に選択しなければならず確実性に欠けていたが、本実施例では不良品をチップ毎にEEPROM7に記憶し、その後に読み出すだけでよいので、ウェハ状態で確実かつ容易に各チップについてテストを行うことができることとなる。又、特殊なウェハバーンイン装置を使用しないで、容易に且つ確実にウェハバーンインできるとともに、特別な装置を用いないで、バーンイン中の試験の検証が個々のIC毎に可能となる。同時にファンクション試験もできることとなる。

【0017】尚、この発明は上記実施例に限定されることはなく、例えば、一般的なメモリICやフラッシュメモリICやEEPROMメモリICに適用してもよい。このEEPROMメモリICに適用したときは、ウェハ状態でのチップの自己検査に利用することにより、EEPROM自身の検査に相当の時間を要していたものを大幅に短縮させることができる。

【0018】さらに、前記実施例での発振器8を無くし、外部からクロック信号を入力するようにしてもよい。この場合、このクロック信号線は、図1においてウェハの左右方向のスクライブライン上に配線するようにすればよい。

【0019】

【発明の効果】以上詳述したようにこの発明によれば、ウェハ状態で確実かつ容易に各ICについてテストを行うことができる優れた効果を発揮する。

【図面の簡単な説明】

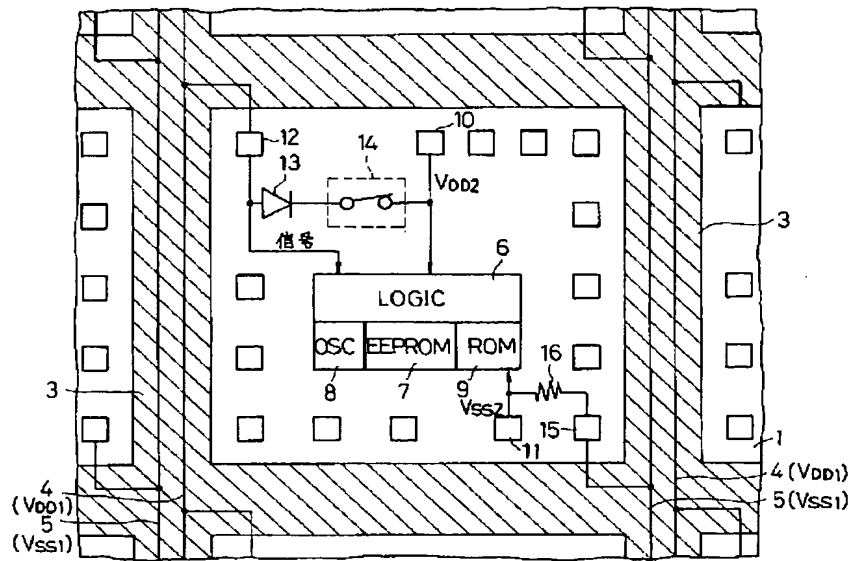
【図1】実施例の半導体ウェハを上から見た図である。

【図2】半導体ウェハの概念図である。

【符号の説明】

- 1 半導体ウェハ
- 4 テスト用電源ライン
- 5 テスト用電源ライン
- 6 制御回路を構成するロジック回路
- 7 EEPROM

【図1】



【図2】

